

PAT-NO: JP363136687A

DOCUMENT-IDENTIFIER: JP 63136687 A

TITLE: MANUFACTURE OF SEMICONDUCTOR LIGHT EMITTING  
DEVICE

PUBN-DATE: June 8, 1988

INVENTOR-INFORMATION:

NAME

SUGANO, YOSHIYASU

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP61284674

APPL-DATE: November 28, 1986

INT-CL (IPC): H01S003/18

US-CL-CURRENT: 372/43

ABSTRACT:

PURPOSE: To reduce the loss of a laser by forming continuously connected electrodes in the direction of a cavity length on the surface of a wafer, by forming a long cavity element by cleaving the wafer to the integer times of a basic cavity length and by making a chip of the basic cavity length or the integer times of the basic cavity length after evaluating the light emitting property of the long cavity element.

CONSTITUTION: A semiconductor layer structure of the integer times of a basic cavity length L, in this example, two times, is formed on a wafer 1. Continuously connected electrodes 8A are formed in each basic cavity

on the surface of the water 1. In this case, the width of the electrode 8A is made narrower in order to make a cleavage easy for each basic cavity length. If an LD of twice the cavity length is formed, a current flows in the middle point and the loss is reduced since the electrode has such a shape. Each LD in an array is inspected a light output, a wavelength and the width of a spectrum by a probing equipment. If the width of the spectrum satisfies the standard for inspection, a chip is made as a long cavity element. In the case of defective one, cleaved to the basic cavity length and the property of the LD is evaluated.

COPYRIGHT: (C)1988, JPO&Japio

## ⑫ 公開特許公報(A)

昭63-136687

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬公開 昭和63年(1988)6月8日

H 01 S 3/18

7377-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭発明の名称 半導体発光装置の製造方法

⑮特 願 昭61-284674

⑯出 願 昭61(1986)11月28日

⑰発 明 者 菅 野 好 泰 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

半導体発光装置の製造方法

## 2. 特許請求の範囲

ウエハ上に基本キャビティ長を有する素子を複数個形成し、該ウエハ表面にキャビティ長方向に連続して接続された電極を形成し、基本キャビティ長の整数倍の長さに該ウエハをへき開して長キャビティ素子を形成し、該長キャビティ素子の発光特性を評価後、基本キャビティ長、またはその整数倍のキャビティ長にてチップ化することを特徴とする半導体発光装置の製造方法。

## 3. 発明の詳細な説明

(概要)

半導体レーザの製造において、ウエハを基本キャビティ長の整数倍の長さにへき開して形成した短冊状アレイ内の個々の長キャビティ素子に対して、光出力、波長測定による合否判定を行う際に、

基本キャビティ長の素子上の電極を基本キャビティ長方向に連続して接続された電極を形成することにより、長キャビティレーザの損失を低減し、歩留の向上をはかる。また合否判定の結果波長スペクトル幅が大きくて否の場合はさらに基本キャビティ長でチップ化して低ビットレート用レーザとして用いる。

## (産業上の利用分野)

本発明は低損失、高歩留の半導体発光装置の製造方法に関する。

高度情報化社会を担う光通信システムは、その構成要素の進歩にともない急速な発展を続けている。

光通信システムの最も重要な構成要素である半導体レーザは通信量の増大にともない高速変調、長距離伝送が可能のように単一縦モード、横モードの発振特性が要求される。

高速変調時も、単一縦モード発振が可能な狭スペクトルレーザとして、回折格子を用いて特定波

長の波だけを共振させるようにしたDFB (Distributed Feed Back)型レーザ、DBR (Distributed Bragg Reflector)型レーザが考案されているが、製造上の困難性より現在ではまだ量産化されていない。

一方、高速変調時の狭スペクトル化のためには長キャビティ化が考えられる。そのためにウエハ上に基本キャビティ長に素子形成し、その整数倍のキャビティ長にへき開して長キャビティ化を行っている。

#### (従来の技術)

長キャビティ化のために、ウエハ上に基本キャビティ長に素子形成し、その整数倍のキャビティ長にへき開して長キャビティ化を行っている。

最初から長キャビティの大きなチップサイズしないのは、長キャビティレーザとして合否判定をし、スペクトル幅が大きいものはさらに基本キャビティ長に小さくチップ化して利用するためである。

ティを構成する活性層の形状、およびストライプ方向の不均一性のため長キャビティLDでもすべてが狭スペクトルになるとは限らない。このため広スペクトルの長キャビティLDはアレイの試験段階で不良としていた。

しかしながら、これらの広スペクトルLDでも、低ビットレート (～140 Mbit/sec) システムの光源として十分使用可能である。

レーザを構成する半導体層構造は、1  $\mu$ m帯用としてインジウム燐/インジウムガリウム砒素燐 (InP/InGaAsP) 系、0.8  $\mu$ m帯用としてガリウム砒素/アルミニウムガリウム砒素 (GaAs/AlGaAs) 系化合物半導体を用いられている。

つぎに、InP/InGaAsP 系埋込型半導体レーザを例にとり、レーザを構成する半導体層構造を説明する。

第3図はInP/InGaAsP 系の埋込型半導体レーザの断面図である。

図において、 $n^+$ -InP基板 (ウエハ) 1 上にクラッド層として $n$ -InP 層2、

第2図は従来例による半導体レーザの製造方法を説明する短冊型アレイの平面図である。

図はウエハを基本キャビティ長  $L$  の2倍の長さにへき開して形成した短冊状アレイを示し、アレイは個々の長キャビティ素子 (キャビティ長  $2L$ ) が横並びして構成されている。

図において、1はウエハで、図はこれを短冊状にへき開して形成されたアレイを示す。

ウエハ上にはレーザを構成する半導体層構造が形成されている。

ウエハ1の表面において、基本キャビティ長に対応してそれぞれ電極8が形成されている。

この場合は、基本キャビティ長毎にへき開が容易となるように電極8が分離されている。このため例えば図示のような2倍のキャビティ長の素子 (レーザダイオード、LD) を形成した場合は中間点に電流が流れない領域が形成され、損失が増加する。

前述のように狭スペクトル化のために長キャビティ化 (400～600  $\mu$ m) が有効であるが、キャビ

活性層としてアンドープのInGaAsP 層3、

クラッド層として $p$ -InP 層4、

コンタクト層として $p^+$ -InGaAsP層5

を順次成長し、発光部を残してメサエッチし、2度目の成長によりメサ周辺に

埋込層として半絶縁性のInP (Si-InP) 層6を形成する。

上記半導体層構造の表面に、絶縁層として二酸化珪素 (SiO<sub>2</sub>) 層7を被着し、活性層上を開口して $p$ 側電極としてチタン/白金/金 (Ti/Pt/Au) 層8と、基板裏面に $n$ 側電極として金ゲルマニウム/金 (AuGe/Au) 層9を形成する。

#### (発明が解決しようとする問題点)

キャビティ長を変えて半導体レーザを製造するとき、従来の電極パターンでは損失が大きく、発光効率がわるい。

#### (問題点を解決するための手段)

上記問題点の解決は、ウエハ上に基本キャビテ

ィ長を有する素子を複数個形成し、該ウエハ表面にキャビティ長方向に連続して接続された電極を形成し、基本キャビティ長の整数倍の長さに該ウエハをへき開して長キャビティ素子を形成し、該長キャビティ素子の発光特性を評価後、基本キャビティ長、またはその整数倍のキャビティ長にてチップ化する半導体発光装置の製造方法により達成される。

第1図に示されるように、上記の電極8Aはキャビティ長方向に連続して接続され、かつへき開が容易なように基本キャビティ長 $l$ の両側のへき開領域で狭くなっている。

#### (作用)

本発明は、キャビティ長方向に連続して接続された電極によりキャビティ長方向に均一に長キャビティLDの注入電流を流して損失を低減するものである。

アレイ内の各LDはプロービング装置によって光出力、波長、スペクトル幅が検査される。スペクトル幅が検査基準を充たす場合は長キャビティ素子としてチップ化される。

不良の場合は、さらに基本キャビティ長にへき開し、LD特性を評価する。

以上のようにして、チップの選別をより経済的に行うことができる。

#### (発明の効果)

以上詳細に説明したように、キャビティ長を変えて半導体レーザを製造するとき、本発明の電極パターンを用いることによりレーザの損失を小さくすることができる。

#### 4. 図面の簡単な説明

第1図は本発明による半導体レーザの製造方法を説明する短冊型アレイの平面図、

第2図は従来例による半導体レーザの製造方法を説明する短冊型アレイの平面図、

#### (実施例)

第1図は本発明による半導体レーザの製造方法を説明する短冊型アレイの平面図である。

図は従来例と同様にウエハを基本キャビティ長 $l$ の整数倍、この例では2倍の長さにへき開して形成した短冊状アレイを示し、アレイは個々の長キャビティ素子(キャビティ長 $2l$ )が横並びして構成されている。

図において、1はウエハで、図はこれを短冊状にへき開して形成されたアレイを示す。

ウエハ上にはレーザを構成する半導体層構造が形成されている。

ウエハ1の表面において、基本キャビティ毎に連続して接続されたTi/Pt/Au (500/1000/10000 Å)の電極8Aが形成されている。

この場合は、基本キャビティ長毎にへき開が容易となるように電極8Aの幅が狭くなっている。

このような電極形状を有するため、2倍のキャビティ長のLDを形成した場合に中間点にも電流が流れ従来例より損失は減少する。

第3図はInP/InGaAsP系の埋込型半導体レーザの断面図である。

図において、

1は $n^+$ -InP基板(ウエハ)、

2はクラッド層で $n$ -InP層、

3は活性層でアンドープのInGaAsP層

(キャビティ)、

4はクラッド層で $p$ -InP層、

5はコンタクト層で $p^+$ -InGaAsP層、

6は埋込層でSi-InP層

7は絶縁層で $SiO_2$ 層、

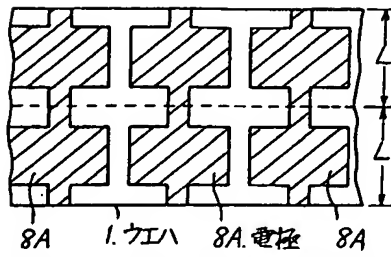
8、8Aは $p$ 側電極でTi/Pt/Au層、

9は $n$ 側電極でAuGe/Au層

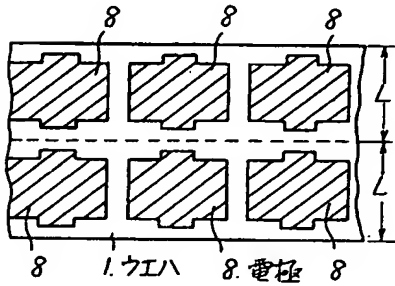
である。

代理人 弁理士 井桁貞一

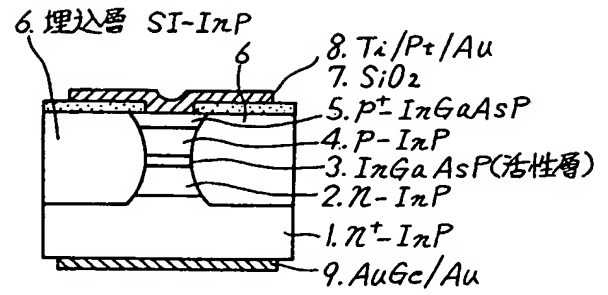




本発明を説明するアレいの平面図  
第 1 図



従来例を説明するアレいの平面図  
第 2 図



埋込型レーザの断面図  
第 3 図